

【特許請求の範囲】

【請求項1】 直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、前記負荷に電流が流れているときの、前記半導体スイッチと前記直流電源との間に存在する配線インピーダンスによる電圧降下量、及び前記半導体スイッチのオン抵抗による電圧降下量の変化に基づいて、前記半導体スイッチに流れる過電流を検出することを特徴とする過電流検出装置。

【請求項2】 直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、前記半導体スイッチの負荷側端子と接地電位との間の電圧を分圧比 b にて分圧して第1の電圧を生成し、前記半導体スイッチの電源側端子と接地電位との間の電圧を分圧比 a にて分圧して第2の電圧を生成し、前記分圧比 a 、または分圧比 b のうちの一方の分圧比を固定した状態で、他方の分圧比を調整することにより、前記第1の電圧と第2の電圧とが等しくなるように制御し、前記他方の分圧比の変化量に基づいて、前記半導体スイッチに流れる過電流を検出することを特徴とする過電流検出装置。

【請求項3】 直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、前記半導体スイッチの負荷側端子と接地電位との間に、該負荷側端子と接地電位との間の電圧を分圧比 b で分圧する第1の抵抗と第2の抵抗とを含む直列接続回路を設け、前記半導体スイッチの電源側端子と接地電位との間に、該電源側端子と接地電位との間の電圧を分圧比 a で分圧する第3の抵抗と第4の抵抗とを含む直列接続回路を設け、前記第1の抵抗と第2の抵抗との接続点の電圧を第1の電圧とし、前記第3の抵抗と第4の抵抗との接続点の電圧を第2の電圧とし、前記第3の抵抗、または第4の抵抗に流れる電流値を調整することにより、前記第1の電圧と第2の電圧とが等しくなるように制御し、前記分圧比 a の変化量に基づいて、前記負荷に流れる過電流を検出することを特徴とする過電流検出装置。

【請求項4】 前記第3の抵抗は前記半導体スイッチの電源端子側、前記第4の抵抗は前記接地電位側に配置され、可変電流回路を前記第3の抵抗に対して並列的に設置し

て、該可変電流回路より出力される電流が前記第4の抵抗に流れるようにし、

前記第1の電圧と前記第2の電圧とを比較する比較手段を設置し、該比較手段による比較結果に応じて前記可変電流回路に流れる電流値を調整して、前記第4の抵抗における電圧降下量を変化させることにより、前記第1の電圧と前記第2の電圧とが等しくなるように制御することとを特徴とする請求項3に記載の過電流検出装置。

【請求項5】 前記可変電流回路は、PチャンネルMOS-FETと第5の抵抗からなるソースフォロウ回路を有し、前記PチャンネルMOS-FETのソースは、前記第5の抵抗を介して前記半導体スイッチの電源端子側に接続され、前記PチャンネルMOS-FETのドレインは、前記第3の抵抗と第4の抵抗との接続点に接続され、前記PチャンネルMOS-FETのゲートは、前記比較手段の出力端子に接続され、

前記比較手段の出力信号に応じて前記PチャンネルMOS-FETのソース電圧を変化させることにより、前記第4の抵抗に流れる電流値を調整し、前記PチャンネルMOS-FETのソースに発生する電圧が閾値電圧以上となったときに、過電流と判定することを特徴とする請求項4に記載の過電流検出装置。

【請求項6】 前記第2の電圧を強制的に所定レベルまで低下させる強制電圧低下手段を具備し、前記半導体スイッチの投入時に、予め設定した強制オン時間だけ前記強制電圧低下手段を動作させて、前記第2の電圧を強制的に低下させることにより、前記PチャンネルMOS-FETのソース電圧を低下させ、前記半導体スイッチ投入後に発生する過電流に対し、前記強制オン時間が経過するまで過電流発生と判定しないことを特徴とする請求項5に記載の過電流検出装置。

【請求項7】 前記半導体スイッチに過電流が流れ、前記強制オン時間が予め設定された所定回数繰り返された際には、前記強制電圧低下手段を動作させないことを特徴とする請求項6に記載の過電流検出装置。

【請求項8】 前記強制電圧低下手段は、スイッチング手段と、第6の抵抗との直列接続回路からなり、動作時には、前記スイッチング手段をオンとし、前記第6の抵抗を前記第4の抵抗に対して並列的に接続して、前記第2の電圧を低下させることを特徴とする請求項6または請求項7のいずれかに記載の過電流検出装置。

【請求項9】 前記強制電圧低下手段が動作することにより低下した前記第2の電圧は、前記半導体スイッチにデッドショート時の過電流が流れた際に発生する前記第1の電圧よりも大きくなるように設定されることを特徴とする請求項6〜請求項8のいずれか1項に記載の過電流検出装置。

【請求項10】 前記強制電圧低下手段が動作しているときに、前記第2の電圧が前記第1の電圧よりも大きいと判定された場合には、前記強制オン時間の経過を待た

ずに、過電流判定することを特徴とする請求項6～請求項9のいずれか1項に記載の過電流検出装置。

【請求項11】 前記分圧比 a および分圧比 b を設定する各素子を同一半導体チップ内に設けたことを特徴とする請求項2～請求項10のいずれか1項に記載の過電流検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、負荷に電源電圧を供給する際に、該負荷と電源との間に介置される半導体スイッチ及び配線に流れる過電流の発生を検出する過電流検出装置に関する。

【0002】

【従来の技術】例えば、車両に搭載される各種ランプ、モータ等の負荷は、バッテリーより供給される直流電圧が印加されて動作する。このような各負荷は、回路の故障や動作不良等に起因して過電流が流れる場合がある。過電流が流れた場合には、半導体スイッチが過熱され、且つ、負荷と電源とを連結するハーネスが過熱され、焼損するというトラブルが発生する。

【0003】そこで、過電流が発生した際に、いち早くこれを検知し、回路を遮断する過電流検出回路が種々提案されている。過電流検出回路の従来例として、例えば、負荷と電源との間を連結する電線にシャント抵抗を介し、該シャント抵抗の両端に発生する電圧を検出し、検出された電圧値が所定値を越えたときに回路を遮断する方法が知られている。

【0004】即ち、負荷に過電流が流れた場合には、シャント抵抗の両端に発生する電圧値が上昇するので、該電圧値を検出し、所定レベルを超えた際に、例えば負荷と電源とを接続するリレーの自己保持回路を遮断することにより、負荷に流れる過電流を防止することができる。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来における過電流検出回路では、シャント抵抗の両端に発生する電圧値を検出する回路が必要であり、回路規模が大きくなる。従って、広い設置スペースが必要となり、且つ、コストアップにつながるという欠点がある。また、シャント抵抗に電流が流れると、シャント抵抗の発熱によるエネルギー損出が発生するという問題があった。

【0006】この発明は、このような従来の課題を解決するためになされたものであり、その目的とするところは、回路規模が小さく、且つ、低コストで構成することが可能な過電流検出装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本願請求項1に記載の発明は、直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させ

て、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、前記負荷に電流が流れているときの、前記半導体スイッチと前記直流電源との間に存在する配線インピーダンスによる電圧降下量、及び前記半導体スイッチのオン抵抗による電圧降下量の変化に基づいて、前記半導体スイッチに流れる過電流を検出することが特徴である。

【0008】請求項2に記載の発明は、直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、前記半導体スイッチの負荷側端子と接地電位との間の電圧を分圧比 b にて分圧して第1の電圧を生成し、前記半導体スイッチの電源側端子と接地電位との間の電圧を分圧比 a にて分圧して第2の電圧を生成し、前記分圧比 a 、または分圧比 b のうちの一方の分圧比を固定した状態で、他方の分圧比を調整することにより、前記第1の電圧と第2の電圧とが等しくなるように制御し、前記他方の分圧比の変化量に基づいて、前記半導体スイッチに流れる過電流を検出することを特徴とする。

【0009】請求項3に記載の発明は、直流電源と負荷との間に設置された半導体スイッチをオン、オフ動作させて、前記負荷へ電力供給するように構成された回路の、前記半導体スイッチに流れる過電流を検出する過電流検出装置において、前記半導体スイッチの負荷側端子と接地電位との間に、該負荷側端子と接地電位との間の電圧を分圧比 b で分圧する第1の抵抗と第2の抵抗とを含む直列接続回路を設け、前記半導体スイッチの電源側端子と接地電位との間に、該電源側端子と接地電位との間の電圧を分圧比 a で分圧する第3の抵抗と第4の抵抗とを含む直列接続回路を設け、前記第1の抵抗と第2の抵抗との接続点の電圧を第1の電圧とし、前記第3の抵抗と第4の抵抗との接続点の電圧を第2の電圧とし、前記第3の抵抗、または第4の抵抗に流れる電流値を調整することにより、前記第1の電圧と第2の電圧とが等しくなるように制御し、前記分圧比 a の変化量に基づいて、前記負荷に流れる過電流を検出することを特徴とする。

【0010】請求項4に記載の発明は、前記第3の抵抗は前記半導体スイッチの電源端子側、前記第4の抵抗は前記接地電位側に配置され、可変電流回路を前記第3の抵抗に対して並列的に設置して、該可変電流回路より出力される電流が前記第4の抵抗に流れるようにし、前記第1の電圧と前記第2の電圧とを比較する比較手段を設置し、該比較手段による比較結果に応じて前記可変電流回路に流れる電流値を調整して、前記第4の抵抗における電圧降下量を変化させることにより、前記第1の電圧と前記第2の電圧とが等しくなるように制御することを

特徴とする。

【0011】請求項5に記載の発明は、前記可変電流回路は、PチャンネルMOS-FETと第5の抵抗からなるソースフォロワ回路を有し、前記PチャンネルMOS-FETのソースは、前記第5の抵抗を介して前記半導体スイッチの電源端子側に接続され、前記PチャンネルMOS-FETのドレインは、前記第3の抵抗と第4の抵抗との接続点に接続され、前記PチャンネルMOS-FETのゲートは、前記比較手段の出力端子に接続され、前記比較手段の出力信号に応じて前記PチャンネルMOS-FETのソース電圧を変化させることにより、前記第4の抵抗に流れる電流値を調整し、前記PチャンネルMOS-FETのソースに発生する電圧が閾値電圧以上となったときに、過電流と判定することを特徴とする。

【0012】請求項6に記載の発明は、前記第2の電圧を強制的に所定レベルまで低下させる強制電圧低下手段を具備し、前記半導体スイッチの投入時に、予め設定した強制オン時間だけ前記強制電圧低下手段を動作させて、前記第2の電圧を強制的に低下させることにより、前記PチャンネルMOS-FETのソース電圧を低下させ、前記半導体スイッチ投入後に発生する突入電流等の正常範囲の過電流に対し、前記強制オン時間が経過するまで過電流発生と判定しないことを特徴とする。

【0013】請求項7に記載の発明は、前記半導体スイッチに過電流が流れ、前記強制オン時間が予め設定された所定回数繰り返された際には、前記強制電圧低下手段を動作させないことを特徴とする。

【0014】請求項8に記載の発明は、前記強制電圧低下手段は、スイッチング手段と、第6の抵抗との直列接続回路からなり、動作時には、前記スイッチング手段をオンとして、前記第6の抵抗を前記第4の抵抗に対して並列的に接続して、前記第2の電圧を低下させることを特徴とする。

【0015】請求項9に記載の発明は、前記強制電圧低下手段が動作することにより低下した前記第2の電圧は、前記半導体スイッチにデッドショート時の過電流が流れた際に発生する前記第1の電圧よりも大きくなるように設定されることを特徴とする。

【0016】請求項10に記載の発明は、前記強制電圧低下手段が動作しているときに、前記第2の電圧が前記第1の電圧よりも大きいと判定された場合には、前記強制オン時間の経過を待たずに、過電流判定することを特徴とする。

【0017】請求項11に記載の発明は、前記分圧比aおよび分圧比bを設定する各素子を同一半導体チップ内に設けたことを特徴とする。

【0018】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。図1は、本発明の実施形態に係る

過電流検出装置、及び電源回路を示す説明図、図2、図3は、本発明の特徴部分を示す回路図である。

【0019】本発明の過電流検出装置は、負荷と電源とを接続する電線上に半導体スイッチが介置された回路において、該半導体スイッチの電源側接続端の電圧と、負荷側接続端の電圧をブリッジ回路を用いて比較することにより、負荷及び半導体スイッチに流れる過電流を検出するものである。

【0020】そして、検出される過電流が、デッドショート（電源とグランドが直接短絡するような大きな短絡事故）のように、大過電流である場合には、負荷電流を即時に遮断し、レアシュー（定常の負荷電流の数倍程度の過電流）の場合には、負荷電流を即時に遮断せず、過電流が暫く継続して流れた際に、遮断するように動作するものである。更に、電源投入時の正常な過渡電流（突入電流）により、過電流防止機能が作用しないような構成とされている。

【0021】以下、図2、図3に示す回路図に基づいて、本実施形態に係る過電流検出装置の原理について説明する。

【0022】図2は、ブリッジ回路の接続の様子を示す回路図である。図示のように、負荷L1の電源側の接続点p1と、直流電源VBのプラス側出力端との間には、スイッチング用のパワートランジスタ（半導体スイッチ）T1が介置され、該パワートランジスタT1のソースは、負荷L1の電源側接続点p1に接続され、ドレイン（接続点p2）は、配線インピーダンスRwを介して、電源VBのプラス側出力端に接続されている。

【0023】ここで、パワートランジスタT1としては、FET（NMOS或いはPMOS）、バイポーラトランジスタ、IGBT等、スイッチング機能を有する各種の半導体素子を用いることができる。また、配線インピーダンスRwは、負荷電流が流れる回路の全インピーダンス（電源内部抵抗も含む）から、パワートランジスタT1の電源側接続端と接地電位レベル間のインピーダンス（Ron+負荷インピーダンス+パワートランジスタT1からグランドまでの配線インピーダンス）を差し引いたものである。なお、Ronは、パワートランジスタT1のオン抵抗である。

【0024】また、接続点p1は、抵抗R1（第1の抵抗）と抵抗R2（第2の抵抗）の直列接続回路を介してグランド（接地電位）に接続され、接続点p2は、抵抗R3（第3の抵抗）と抵抗R4（第4の抵抗）の直列接続回路を介してグランドに接続されている。そして、抵抗R3と抵抗R4との接続点p3の電圧をVa（第2の電圧）とし、抵抗R1と抵抗R2との接続点p4の電圧をVb（第1の電圧）とする。更に、抵抗R3と抵抗R4の分圧比を「a」、抵抗R1と抵抗R2の分圧比を「b」とする。従って、 $a = R4 / (R3 + R4)$ 、 $b = R2 / (R1 + R2)$ となる。

【0025】更に、負荷電流（過電流状態を含む）をIとし、接続点p2の電圧をV1、接続点p1の電圧をV2、直流電源VBの出力電圧を同一の符号VBで示す。従って、 $V_a = a * V_1$ 、 $V_b = b * V_2$ である。

$$\begin{aligned} V_a - V_b &= a * V_1 - b * V_2 \\ &= a * (VB - R_w * I) - b * (VB - R_w * I - R_{on} * I) \\ &= VB * (a - b) + \{R_w * (b - a) + R_{on} * b\} * I \end{aligned}$$

・・・(1)

上述の(1)式より、負荷電流Iが増加するにつれて差分電圧 $V_a - V_b$ が変化することがわかる。その変化の形態は、分圧比aと分圧比bとの大小関係で異なり、以下の(イ)～(ハ)に示す3通りとなる。ここで特徴的なことは、 $a \neq b$ の場合、パワートランジスタT1のオン抵抗 R_{on} のみならず、配線インピーダンス R_w の影響が差分電圧 $V_a - V_b$ の変化に現れることである。

【0028】(イ) $a > b$ の場合

差分電圧 $V_a - V_b$ は、負荷電流Iがゼロのとき、プラスのオフセット値 $VB(a - b)$ を有し、負荷電流Iの増加につれて増加する。このとき $R_w(b - a) < 0$ となるため、トランジスタT1のオン抵抗 R_{on} による増加量 $(R_{on} * b * I)$ を配線インピーダンスによる要因 $R_w(b - a) * I$ が打ち消す働きをする。即ち、 $V_a - V_b$ は負荷電流の変化に対して鈍感になる。

【0029】(ロ) $a = b$ の場合

(1)式は、 $V_a - V_b = R_{on} * b * I$ となり、 $V_a - V_b$ は R_{on} と負荷電流Iだけで決まり、配線インピーダンス R_w 、及び電源電圧VBの影響は無くなる。

【0030】(ハ) $a < b$ の場合

差分電圧 $V_a - V_b$ は、負荷電流Iがゼロのとき、マイナ

$$a = (VB - R_w * I - R_{on} * I) / (VB - R_w * I) * b \quad \dots (2)$$

ここで、符号INを、 $IN = I / VB$ と定義する。INは、電源電圧VBで正規化した電流に相当するので、I

$$\begin{aligned} a &= (1 - R_w * I / VB - R_{on} * I / VB) / (1 - R_w * I / VB) * b \\ &= (1 - R_w * IN - R_{on} * IN) / (1 - R_w * IN) * b \\ &= \{1 - R_{on} * IN / (1 - R_w * IN)\} * b \quad \dots (3) \end{aligned}$$

また、(3)式を正規化電流INで微分すると、以下の(4)式が得られる。

$$da/d(IN) = -R_{on} * b / (1 - R_w * IN)^2 \quad \dots (4)$$

(3)、(4)式より、以下に示す(ニ)～(ト)が理解される。

【0036】(ニ) 負荷電流を正規化電流INで表わすと $V_a = V_b$ を維持する分圧比aは電源電圧に依存しない。

【0037】(ホ) 負荷電流が小さいとき、抵抗 R_w の影響をほとんど受けない。これは正常電流の数倍程度の過電流検出する場合の特性は R_{on} で決まり、この領域では配線インピーダンス R_w の影響を受けないことを意味する。

【0038】(ヘ) 負荷電流が大きくなると分圧比aの

【0026】上記の内容から、接続点p3の電圧Vaと、接続点p4の電圧Vbとの差分は、以下の(1)式で示すことができる。

【0027】

10 スのオフセット値 $VB(a - b)$ を持ち、負荷電流Iの増加につれて増加する。負荷電流の増加に対する差分電圧 $V_a - V_b$ の増加率は $R_w(b - a) + R_{on} * b$ となり、トランジスタT1のオン抵抗 R_{on} だけでなく、配線インピーダンス R_w にも依存し、その依存の度合いは $(b - a)$ に比例して大きくなる。

【0031】本実施形態では、過電流状態を検出するために、差分電圧 $V_a - V_b$ を用いる。そして、分圧比bを固定すると、負荷電流（過電流も含む）Iの増加により電圧Vbは減少する。その場合に分圧比aを変化させて（減少させて）常に $V_a - V_b = 0$ となるように抑制し、このときの分圧比aの減少量に基づいて、負荷電流Iの増加量を検出する。つまり、 $V_a - V_b = 0$ が成立することになり、上記の(ハ)の場合を適用することができる。以下、詳しく説明する。

【0032】上述のように、 $V_a - V_b = 0$ の状態では、常に(分圧比a) < (分圧比b)が成立する。そして、 $V_a - V_b = 0$ のときには、分圧比aは次の(2)式で表すことができる。

【0033】

$$a = (VB - R_w * I - R_{on} * I) / (VB - R_w * I) * b \quad \dots (2)$$

の如くとなる。

【0034】

【0035】

40 値は R_w で決まり、 R_{on} の影響は小さくなる。これは、デッドショット時の過電流検出特性は R_w に依存することを意味し、かつ配線インピーダンスに合わせたデッドショット検出が可能であることを意味する。即ち、配線インピーダンスが大きくなるほどデッドショットと判定する電流値は小さくなる。

【0039】(ト) 負荷電流増大に連れて急激に分圧比aの値が立ちあがるため、デッドショット検出におけるばらつきが少なくなる。IN = 4アンペア以上でデッドショットを確実に検出できる。

【0040】図4は、前述の(2)式を用いて、負荷電

流Iが変化したときの分圧比aの値を計算した結果を示す特性図であり、ここでは配線インピーダンスRwを150mΩ一定として、電源電圧VBをパラメータとして6Vから16Vまで電圧させている。

【0041】また、図5は、(3)式を用いて正規化負荷電流INに対する分圧比aの変化を計算した結果を示す特性図であり、同図より、配線インピーダンスRwをパラメータとして50mΩから500mΩまで変化させている。

【0042】また、図6は、(4)式の計算結果を示す特性図であり、分圧比aの減少率が配線インピーダンスをパラメータとして表わされている。

【0043】そして、上記の図4～図6に記載された内容から、負荷電流Iが増加すると、分圧比aの変化率が大きくなることが理解される。従って、(分圧比a) < (分圧比b) の条件下では、過大な負荷電流Iが流れた際に、これを高精度に検出することができる。換言すれば、負荷に過電流が流れたときには、電流変化を敏感に検出することができる。

【0044】以下、図3に示す回路図を参照しながら、分圧比aの変化を検出する手順について説明する。

【0045】前述したように、負荷電流Iの大きさは、Va=Vbとなるように制御すると、分圧比aの大きさとして現れる。つまり、前述の(ハ)の条件下であるので、図4～図6の特性図に示したように、負荷電流Iの大きさに応じて分圧比aが変化する。従って、分圧比aの大小を検出することにより、負荷電流Iが過電流であるかどうかを判定することができる。

【0046】図3は、図2に示したブリッジ回路に、更に、分圧比aの変化を測定する機能を付加した回路を示す構成図であり、以下、分圧比aを測定する原理について説明する。

【0047】図3に示すように、抵抗R3と抵抗R4との接続点p3は、コンパレータCMP1のプラス側(非反転側)入力端に接続され、抵抗R1と抵抗R2との接続点p4は、該コンパレータCMP1のマイナス側(反転側)入力端に接続されている。また、抵抗R5(第5の抵抗)、トランジスタT2(PチャンネルMOS-FET)、及びダイオードD2の直列接続回路が、抵抗R

3に対して並列的に接続されており、トランジスタT2のゲートは、コンパレータCMP1の出力端と接続されている。なお、抵抗R5とトランジスタT2にて、請求項に記載した可変電流回路が構成される。

【0048】更に、抵抗R6(第6の抵抗)とトランジスタT3(スイッチング手段)との直列接続回路(強制電圧低下手段)が抵抗R4に対して並列的に接続されている。また、トランジスタT2と抵抗R5とによりソースフォロワ回路が構成される。

【0049】ここで、負荷電流Iの変化により、電圧Vaが電圧Vbよりも大きくなると、コンパレータCMP1の出力信号レベルが増大し、トランジスタT2のゲート電位を押し上げる。このためソースフォロワ回路(抵抗R5とトランジスタT2)の抵抗R5の電圧降下量が減少し抵抗R5を流れる電流I2が減少する。この電流I2はトランジスタT2→ダイオードD2→抵抗R4→グランドの経路で流れるので、電流I2の減少に伴って、抵抗R4における電圧降下量が減少し、電圧Vaは減少してVbに等しくなる。

【0050】また、電圧Vbより電圧Vaが小さくなると、コンパレータCMP1の出力が低下し、トランジスタT2のゲート電位が低下して、抵抗R5の電圧降下量が増加し、電流I2が増加する。このため、抵抗R4の電圧降下量が増大して、電圧Vaは電圧Vbに等しくなる。

【0051】即ち、電流I2のフィードバック動作により、常に電圧Vaは電圧Vbに等しくなるように制御される。Va=Vbを維持する電圧Vaの変化は抵抗R5の電圧降下として現れるので、抵抗R5とトランジスタT2のソースとの接続点p5の電位Vcを検出することにより、電圧Vaの変化、即ち、分圧比aの変化を検出することができる。電圧Vcと、分圧比aまたは電圧Vaの関係を表すとして、次の(5)式のようになる。

【0052】抵抗R3を流れる電流をI1とすると、 $Va = R4 \cdot (I1 + I2)$ 、 $V1 = Va + R3 \cdot I1$ 、 $a = Va / V1$ となる。従って、次の(5)式を得ることができる。

【0053】

$$\begin{aligned} I2 &= Va / R4 - I1 = V1 \{ a \cdot (1/R4 + 1/R3) - 1/R3 \} \\ Vc &= V1 - R5 \cdot I2 \\ &= V1 \{ 1 + R5/R3 - R5 \cdot (1/R4 + 1/R3) \cdot a \} \\ &= V1 \{ 1 + R5/R3 \} - R5 \{ (1/R4 + 1/R3) Va \} \\ &\quad \dots (5) \end{aligned}$$

(5)式を電圧Vaで微分すると、次の(6)式が得られる。

$$dVc/d(Va) = -R5 \cdot (1/R4 + 1/R3) \dots (6)$$

(6)式は、電圧Vaに対する電圧Vcの増幅率を表わす。この際、(6)式の抵抗値は次のように設定する。即ち、 $I2 = 0$ の場合に $Va < Vb$ となるように抵抗R

3、抵抗R4の抵抗値を設定する。つまり、 $R1 = R2$ の場合は $R3 > R4$ となる。電流I2が流れることにより、 $Va = Vb$ となるように抵抗R3、R4、R5の値を

選定する。抵抗R5は電流I2の変化範囲を決める。抵抗R5を大きくすると電流I2の変化範囲は小さくなり、抵抗R5を小さくすると電流I2の変化範囲は大きくなる。

【0055】I2×R4がほぼ電圧Vaの調整範囲となる。抵抗R5を大きくすれば電圧Vaの調整範囲が狭くなる。

【0056】一例として、R3=1.1kΩ、R4=1kΩ、R5=10kΩ、R1=R2=10kΩとすると、 $dVc/d(Va)=-19.1$ となる。負荷電流I2の増大により分圧比aが減少すると電圧Vaは減少し、電圧Vcは増加する。その増加量は、電圧Vaの減少量の19.1倍となる。

【0057】次に、過電流判定値の過渡成分の設定について説明する。図3に示すトランジスタT3がオンすると、抵抗R6が抵抗R4に対して並列的に接続され、点p3とグランドとの間の抵抗値が減少するので、電圧Vaは低下する。そして、電圧Vaが電圧Vbよりも小さくなると、コンパレータCMP1の出力信号は「L」レベルとなり、抵抗R5には流れる電流I2は増加する。従って、点p5における電圧Vcは低下する。この際、電圧Vcは $(Va+0.7V)$ までしか低下しない。なお、「0.7V」は、ダイオードD2の電圧降下分である。

【0058】従って、 $Vc=Va+0.7V$ のとき、電流I2は最大値となり、この状態においても、 $Va<Vb$ の場合には、コンパレータCMP1の出力信号が「L」レベルに貼り付き、トランジスタT2はソースフォロワとならずに、飽和状態となる。

【0059】この状態で、負荷電流I1が増加し、電圧Vbが低下して $Va>Vb$ となると、電圧Vcは最小値から上昇し始める。即ち、トランジスタT3がオンすると、電圧Vcは、所定値以上の負荷電流が流れるまでは、最小値にロックされる。これにより、過電流判定値を大幅に大きくすることが可能となる。

【0060】電源投入時の突入電流等、正常な過渡電流が流れるとき、これを上回る過電流判定値を設定する必要がある。本実施形態では、上記の手法を用いて、そのときの過電流判定値を設定している。

【0061】次に、図1に示す回路図に基づいて、本発明が適用された過電流検出装置について説明する。

【0062】図1に示すように、過電流検出装置1は、例えば車両に搭載されるランプやモータ等の負荷L1に流れる電流が過電流となった場合に、これを検出し、必要に応じて回路を遮断することにより、負荷L1及び回路を保護するものである。

【0063】負荷L1は、一端がグランドに接続され、他端(接続点p1)は、パワートランジスタ(FET)、バイポーラトランジスタ、IGBT等の半導体スイッチT1のソースに接続され、該パワートランジスタT1のドレイン(接続点p2)は、例えば車両に搭載され

るバッテリー等の直流電源VBに接続されている。また、点p2と直流電源VBとの間には、配線インピーダンスRwが存在している。

【0064】過電流検出装置1は、抵抗R1とR2との直列接続回路、及び抵抗R3とR4との直列接続回路からなるブリッジ回路を有しており、抵抗R3の一端は点p2に接続され、抵抗R1の一端は、点p1に接続されている。また、抵抗R4の一端は、グランドに接続され、抵抗R2の一端は、可変抵抗器VRを介してグランドに接続されている。そして、抵抗R3とR4との接続点p3は、コンパレータCMP1(比較手段)のプラス側端子(非反転側)に接続され、抵抗R1とR2との接続点p4は、コンパレータCMP1のマイナス側端子(反転側)に接続されている。なお、可変抵抗器VRは、抵抗R1と抵抗R2との分圧比bを任意に設定するためのものであり、該可変抵抗器VRの抵抗値は、抵抗R2に含まれるものである。

【0065】抵抗R3に対し、並列的に、抵抗R5とトランジスタT2とダイオードD2との直列接続回路が設けられており、トランジスタT2のゲートは、コンパレータCMP1の出力端に接続されている。

【0066】また、抵抗R4に対して、並列的に、抵抗R6とトランジスタT3との直列接続回路が設けられている。

【0067】更に、直流電源VBのプラス側出力端は、抵抗R7と抵抗R8との直列接続回路に接続されており、抵抗R7と抵抗R8との接続点p6は、コンパレータCMP2のプラス側端子(非反転側)に接続されている。他方、該コンパレータCMP2のマイナス側端子(反転側)には、抵抗R5とトランジスタT2との接続点p5が接続されている。

【0068】また、点p5は、抵抗R10及びダイオードD1を介して、点p1に接続されている。

【0069】一方、負荷L1に電源電圧VBを供給するためのスイッチSW1、及び抵抗R14が設けられており、該スイッチSW1によるスイッチ投入信号は、アンド回路AND1、及びAND2を介してドライバ2に与えられるように成されている。

【0070】ドライバ2は、チャージポンプ3と接続されており、該チャージポンプ3より出力電圧が供給されて動作する。また、該ドライバ2の出力端は、抵抗R12を介して、パワートランジスタT1のゲートに接続されている。更に、この出力端は、ダイオードD3、及び抵抗R9を介してコンパレータCMP2のプラス端子(接続点p6)に接続されている。

【0071】コンパレータCMP2の出力端は、3系統に分岐され、1つ目の分岐線は、抵抗R13を介して5ボルトの直流電源に接続され、2つ目の分岐線は、アンド回路AND2の一端に接続され、3つ目の分岐線は、パルスカウンタ5に接続されている。パルスカウン

タ 5 の出力端は、ラッチ D F 1 に接続され、該ラッチ D F 1 の出力端は、アンド回路 A N D 1 の一入力端に接続されている。

【 0 0 7 2 】更に、この過電流検出装置 1 は、タイマ 4 を有しており、該タイマ 4 の 2 つの出力端は、トランジスタ T 3 のゲート、及びパルスカウンタ 5 に接続されている。また、タイマ 4 の入力端は、アンド回路 A N D 2 の出力端と接続されている。タイマ 4 は、20ms タイマ部と、200ms タイマ部とを有している。

【 0 0 7 3 】ここで、上記の回路を構成する各抵抗 R 1 ~ R 1 4 の抵抗値は、一例として次のように設定することができる。即ち、本実施形態では、 $R1=10K\Omega$ 、 $R2=10K\Omega$ 、 $R3=1.1K\Omega$ 、 $R4=1K\Omega$ 、 $R5=10K\Omega$ 、 $R6=3K\Omega$ 、 $R7=2.4K\Omega$ 、 $R8=10K\Omega$ 、 $R9=3K\Omega$ 、 $R10=8.2K\Omega$ 、 $R12=20K\Omega$ 、 $R13=1K\Omega$ 、そして、 $R14=10K\Omega$ としている。

【 0 0 7 4 】次に、上記のように構成された本実施形態に係る過電流検出装置 1 の作用について説明する。ここで、図 1 に示す点 p 1 の電圧を V 2、点 p 2 の電圧を V 1、点 p 3 の電圧を V a (第 2 の電圧)、点 p 4 の電圧を V b (第 1 の電圧)、点 p 5 の電圧を V c とする。

【 0 0 7 5 】本実施形態に係る過電流検出装置 1 では、次の 4 つの内容が特徴的な動作である。

【 0 0 7 6 】(I) 電源投入時の過渡電流 (突入電流) では、過電流と判断せず、回路を遮断しない。

【 0 0 7 7 】(II) 定常電流の数倍程度の過電流 (レアショート) の場合には、即時に回路を遮断せず、暫くの間過電流が流れ続けたときに、回路を遮断する。

【 0 0 7 8 】(III) 負荷に定常電流が流れているときには、(電圧 V a) = (電圧 V b) が成立するようにフィードバック制御される。即ち、通常時には (分圧比 a) < (分圧比 b) の環境下で動作する。

【 0 0 7 9 】(IV) 短絡事故等、大きな過電流 (デッドショート) が発生した場合には、即時に回路を遮断する。

【 0 0 8 0 】上記 (I) ~ (IV) の点をふまえて、まず、起動時 (電源投入時) の動作について説明する。図 1 に示すスイッチ S W 1 がオフとされているときには、ダイオード D 3 がドライブ 2 のシンクトランジスタ (図示省略) を介してグラウンドに接地されるので、コンパレータ C M P 2 のプラス入力端の電圧は、抵抗 R 8 と抵抗 R 9 との並列合成抵抗と、抵抗 R 7 で電圧 V 1 を分圧した電圧となる (これを電圧 V L とする)。一方、パワートランジスタ T 1 の負荷側端子 (ソース) が負荷 L 1 を介して接地されるので、コンパレータ C M P 2 のマイナス入力端の電圧は、ダイオード D 1 による電圧降下を無視すれば、抵抗 R 5 と抵抗 R 1 0 で電圧 V 1 を分圧した電圧となる。この際、コンパレータ C M P 2 のプラス入力端の電圧は、マイナス入力端の電圧よりも大きくな

るように、抵抗 R 1 0 の抵抗値を選定する。

【 0 0 8 1 】つまり、スイッチ S W 1 がオフのときには、コンパレータ C M P 2 の出力は「H」レベルとなる。また、ラッチ D F 1 の出力信号は、スイッチ S W 1 がオフのときは「H」レベルとなっている。

【 0 0 8 2 】この状態でスイッチ S W 1 がオンとされると (即ち、負荷 L 1 へ電圧を印加するべく操作が行われる) と、アンド回路 A N D 1 の 2 つの入力端は共に

「H」となり、且つ、アンド回路 A N D 2 の 2 つの入力端もやはり「H」となるので、アンド回路 A N D 2 の出力信号が「H」レベルとなる。よって、ドライブ 2 の出力信号は「H」レベルとなる。これにより、チャージポンプ 3 に蓄えられている電圧が出力され、パワートランジスタ T 1 のゲートに駆動電圧が印加されるので、該パワートランジスタ T 1 はオン状態となる。

【 0 0 8 3 】他方、ドライブ 2 の出力信号が「H」レベルとなることにより、ダイオード D 3 は逆バイアスされ、抵抗 R 9 に流れる電流が遮断されるので、コンパレータ C M P 2 のプラス入力端の電圧は、電圧 V 1 を抵抗 R 7 と抵抗 R 8 とで分圧した電圧 (これを、閾値 V H とする) まで上昇する。

【 0 0 8 4 】また、アンド回路 A N D 2 の出力信号が「H」レベルに立ち上がると、タイマ 4 の 200ms タイマ部、及び 20ms タイマ部が動作を開始する。そして、20ms タイマ出力が「H」レベルの間は (即ち、強制オン時間としての 20ms の時間が経過するまでは)、トランジスタ T 3 のゲートに駆動電圧が印加されて、該トランジスタ T 3 がオンとなる。

【 0 0 8 5 】この状態では、図 3 を用いて既に説明したように、たとえ負荷 L 1 に過電流が流れた場合であってもコンパレータ C M P 1 の出力が「L」レベルに貼り付くので、電圧 V c は低下する。よって、(電圧 V H) > (電圧 V c) が成立し、コンパレータ C M P 2 の出力は「H」レベルを維持し、アンド回路 A N D 2 の出力が「H」レベルを維持するので、ドライブ 2 によるパワートランジスタ T 1 の駆動が継続される。

【 0 0 8 6 】つまり、スイッチ S W 1 の投入後、20ms 間は、コンパレータ C M P 2 の出力は強制的に「H」レベルとされるので (但し、負荷 L 1 にデッドショート時の過電流が流れていない場合に限り)、パワートランジスタ T 1 はオン状態を継続する。従って、スイッチ S W 1 投入時に過渡電流 (突入電流) が流れた場合でも、20ms の間は、この過渡電流により回路は遮断されない。

【 0 0 8 7 】その後、20ms が経過すると、タイマ 4 の動作により、トランジスタ T 3 のゲートへの駆動電圧の供給が停止されるので、該トランジスタ T 3 はオフとなり、電圧 V a が上昇する。このとき、過渡電流が継続して発生していれば (未だ、過渡電流が治まっていなければ)、コンパレータ C M P 1 の出力は反転して「H」

レベルとなり、電圧Vcは上昇し、コンパレータCMP 2の出力は「L」レベルとなる。

【0088】これにより、一旦はパワートランジスタT 1がオフとなる。即ち、アンド回路AND 2の出力レベルが「L」となり、ドライバ2の制御下で、パワートランジスタT 1への駆動電圧の供給が停止されるので、該パワートランジスタT 1はオフとなる。

【0089】その結果、電圧Vbが低下し、これに伴って、電圧Vbが低下する。電圧Vbの低下により電圧Vcは上昇し始めるが、電圧V2の低下が進むに連れて、電圧Vcは抵抗R10とダイオードD1との直列接続回路により引き下げられる。

【0090】他方、パワートランジスタT 1がオフとなることにより、コンパレータCMP 2のプラス側入力端の電圧は、スイッチSW1投入前の初期状態と同様になり、抵抗R9、及びダイオードD3を介してドライバ2のシグナルトランジスタ（図示省略）により接地され、低電圧レベルVLとなっている。そして、上記の電圧Vcがこの電圧VLを下回ると、コンパレータCMP 2の出力は「H」レベルに反転する。

【0091】これにより、アンド回路AND 2の出力が「H」レベルとなり、パワートランジスタT 1がオンし、同時に、タイマ4の20msタイマ部が作動する。このため再度トランジスタT 3がオンし、パワートランジスタT 1は、20ms間オンを続ける。

【0092】即ち、スイッチSW1の投入時に過渡電流（突入電流）が発生すると、当該過渡電流検出回路1は、過渡電流の発生を検出して、パワートランジスタT 1を遮断するが、該パワートランジスタT 1は再度オンとされる。そして、20msのオン時間が4回繰り返される時間内（パルスカウンタ5のカウント値を4回に設定した場合）に過渡電流が治まり、定常状態となれば、パワートランジスタT 1はオン状態を継続し、回路は遮断されない。従って、通常動作時における過渡電流による回路の遮断を防止することができる。

【0093】図7は、このときの様子を示す特性図であり、時刻t1がスイッチSW1投入時を示す。また、曲線s1は電圧V2の変化、曲線s2はコンパレータCMP 2のプラス側入力端の電圧変化、曲線s3はコンパレータCMP 2のマイナス側入力端の電圧変化、そして、曲線s4は負荷電流I1の変化を示している。また、横軸の1区間（5目盛り分）が時間20msを示している。

【0094】なお、同図では示されないが、曲線s3は、スイッチSW1を投入してから20ms経過後（時刻t2）、及び40ms経過後（時刻t3）にて瞬時的に立ち上がり、曲線s2を越えている。

【0095】そして、同図から理解されるように、スイッチSW1の投入時に、曲線s4に示す如くの過渡電流I1が流れた場合であっても、スイッチSW1投入後80msの間は、曲線s3が曲線s2を越えないように動作

するので（実際には、瞬時的に越えているが、即時に元に戻る）、回路は遮断されず、過渡電流I1が治まり定常電流となった後、正常に動作する。

【0096】次に、負荷回路にレアショートが発生した場合について説明する。レアショートが発生した場合には、定常電流の数倍程度の電流がパワートランジスタT 1に流れることになる。この場合、上述の過渡電流が流れたときのように、時間の経過と共に定常電流まで低下せず、過電流が暫くの間継続されることになる。つまり、過電流が80ms（20ms×4回）以上の時間継続されるので、上記の動作説明で、パルスカウンタ5のカウント値が4回カウントされることになる。これにより、ラッチDF1の出力が「L」レベルに切り換えられ、アンド回路AND 1の出力を「L」レベルとする。これにより、スイッチSW1の投入状態に関わらず、強制的にパワートランジスタT 1がオフとされる。

【0097】即ち、レアショート発生時には、即時に負荷L1への電圧供給回路を遮断するのではなく、20msの強制的なオン時間を4回繰り返す、なおかつレアショートが治まらない場合に、パワートランジスタT 1をオフとする。

【0098】なお、パルスカウンタ5のカウント値は、タイマ4の200msタイマ部により200msの時間経過が確認された際に、リセットされる。

【0099】次に、定常状態について説明する。上述した過渡電流の発生が治まり、負荷L1に定常電流が流れ、電圧Vaと電圧Vbとが等しくなるように、トランジスタT 2に流れる電流I2が制御される。即ち、電圧Vbが電圧Vaよりも大きくなると、コンパレータCMP 1の出力が「L」となり、トランジスタT 2のゲート電圧が低下するので、該トランジスタT 2に流れる電流I2が増加する。そして、抵抗R4に発生する電圧が上昇するので、電圧Vaが上昇し、電圧Vb=電圧Vaが成立するように動作する。

【0100】これとは反対に、電圧Vaが電圧Vbよりも大きくなると、コンパレータCMP 1の出力が「H」となり、トランジスタT 2のゲート電圧が上昇するので、電流I2が減少し、抵抗R4に発生する電圧が低下する。そして、電圧Vaが低減して、電圧Vb=電圧Vaが成立するように動作する。

【0101】このとき、前述したように、（分圧比a）＜（分圧比b）が成立しているので、パワートランジスタT 1に流れる電流変化に対して、分圧比aが敏感に変化し、高精度な電流値の検出が可能となる。

【0102】次に、負荷L1にデッドショートの発生した場合について説明する。デッドショートの発生とグラウンドが直接短絡した場合のような大事故の場合であり、この場合には、上述した過渡電流やレアショート時に流れる電流よりも大きな電流が瞬時的に流れる。

【0103】そして、デッドショートの発生すると、負

荷L1とパワートランジスタT1との接続点の電圧V2が著しく低下する。従って、電圧Vaに対して電圧Vbは著しく低下し、前述した過渡電流発生時の動作と同様に、トランジスタT3が20msの間オンとなる。よって、抵抗R4と抵抗R6との並列接続回路が形成されて、電圧Vaを低下させる。

【0104】しかし、デッドショート発生時には、電圧Vbは著しく低下するので、抵抗R4と抵抗R6との並列接続回路が形成された場合であっても、電圧Vaの方が電圧Vbよりも大きくなる。従って、20msの時間を持つことなく、コンパレータCMP2の出力が「H」レベルから「L」レベルに低下し、この回数が、瞬時にパルスカウンタ5により4回カウントされる。これにより、ラッチDF1が動作してアンド回路AND1への出力信号を「L」レベル信号として、パワートランジスタT1をオフとさせる。

【0105】つまり、デッドショートが発生した場合には、ほとんど瞬時にパワートランジスタT1をオフとすることにより、パワートランジスタT1に流れる過電流を阻止し、異常な発熱、或いは回路の焼損を未然に防止することができるのである。

【0106】図8は、デッドショート発生時の、各電圧、電流の変化を示す特性図であり、時刻t11がデッドショート発生時刻を示す。また、曲線s11は電圧V2の変化、曲線s12はコンパレータCMP2のプラス側入力端の電圧変化、曲線s13はコンパレータCMP2のマイナス側入力端の電圧変化、そして、曲線s14は負荷電流I1の変化を示している。また、横軸の1区間(5目盛り分)が時間50μsを示している(図7と比較して横軸のスケールが相違している)。

【0107】そして、図9より、時刻t11にてデッドショートが発生すると、曲線s13が曲線s12を越える回数が瞬時的に4回を越えることが理解される。従って、図1に示すパルスカウンタ5のカウント値が即時に4回をカウントして、パワートランジスタT1をオフとして、負荷L1及び該負荷L1へ接続される配線を保護する。

【0108】デッドショートが発生してから、パワートランジスタT1が遮断されるまでの所要時間は約200~300μs程度である。また、スイッチSW1を投入する前からデッドショートが発生していた場合についても同様の動作となる。

【0109】このようにして、本実施形態に係る過電流検出装置1では、分圧比bを固定し、且つ電圧Vaと電圧Vbが等しくなるように制御したときの、分圧比aの変化を検出することにより、負荷L1に流れる電流値の変化を検出しているため、負荷L1に流れる電流値を高精度に検出することができる。

【0110】また、スイッチSW1投入時に発生する過渡電流では、回路は遮断されることなく正常に動作し、

更に、レアショート発生時(定常電流の数倍程度の電流)が流れた場合には、暫くの間(この例では、20msが4回で合計80ms)が経過した後に回路を遮断する。

【0111】また、電源とグラウンドとが直接短絡するようなデッドショートが発生した場合には、ほぼ瞬時的に回路が遮断されるので、負荷L1、及び該負荷L1と電源VBを接続する電線を保護することができる。更に、従来のシャント抵抗を用いる場合と比較して、低コスト化、省スペース化を図ることができる。

【0112】なお、本実施形態では、タイマ4で20msの時間を設定し、パルスカウンタ5にて4回のカウント値を設定しているが、本発明は、これに限定されるものではない。タイマ4にて20msよりも長い時間、或いは短い時間を設定してもよいし、パルスカウンタ5にて5回以上、或いは3回以下のカウント値を設定することも可能である。

【0113】次に、本発明の第2の実施形態について説明する。図9は、第2の実施形態に係る過電流検出装置11の構成を示す回路図である。第2の実施形態と前述した第1の実施形態とは、デッドショートが発生した場合には、パルスカウンタ5により4回カウントすることなく、即時にパワートランジスタT1をオフとすることにより、より即時性を持たせて回路を保護するように構成している。以下、詳しく説明する。

【0114】図9において、図1に示した回路と同一部分には同一の符号を付してその構成説明を省略し、以下、相違する部分についての構成を説明する。図9に示すように、この過電流検出装置11は、コンパレータCMP2の出力端にインバータNOT1が接続され、該インバータNOT1の出力と、タイマ4の20msタイマ部出力とが入力端に接続されたアンド回路AND3と、該アンド回路AND3の出力と、パルスカウンタ5の出力とが入力端に接続されたオア回路OR1とを具備しており、該オア回路OR1の出力端は、ラッチDF1に接続されている。その他の構成は、図1に示した回路と同一である。

【0115】以下、第2の実施形態に係る過電流検出装置11の動作について説明する。図9に示す過電流検出装置11では、コンパレータCMP2の出力が「L」レベルとなり、且つ、タイマ4の20ms出力が「H」レベルである場合には、強制的にラッチDF1をオフとするように動作する。

【0116】即ち、前述したように、デッドショート発生時には、トランジスタT3のゲートに駆動信号が出力されるにも関わらず、コンパレータCMP2の出力が「L」レベルとなるので、これらの条件が満たされた場合には、アンド回路AND3の出力が「H」レベルとなり、パルスカウンタ5の出力に関わらず、ラッチDF1をオフとする。つまり、パルスカウンタ5が4回カウ

ントすることなく、パワートランジスタ T1 をオフとすることができる。

【0117】従って、デッドショート発生時には、即時に回路を遮断させ、負荷 L1 及び該負荷 L1 に接続される電線を保護することができる。

【0118】なお、上記した過電流検出装置は、車両に搭載されるバッテリーと、ランプやモータ等の負荷との間に設置して使用する場合以外にも適用することができるものである。

【0119】また、図 1、及び図 9 に示した過電流検出装置 1、11 を、同一の半導体チップ内に設けることにより、より一層省スペース化を図ることができる。

【0120】

【発明の効果】以上説明したように、本発明の過電流検出装置では、半導体スイッチに流れる電流値が変化すると、配線インピーダンス及び半導体スイッチのオン抵抗に起因して分圧比 a、分圧比 b が変化し、この変化量に基づいて、過電流の発生を検出しているので、過電流の発生を高精度に求めることができる。

【0121】また、従来のシャント抵抗を用いて過電流の発生を検出する方法と比較し、回路規模を小型化することができる、且つ低コスト化を図ることができる。更に、電源投入時の過渡電流が発生した場合であっても、回路が遮断されることがない。

【0122】また、レアショート発生時には、該レアショートが暫くの間継続されたときに、回路を遮断し、デッドショート発生時には即時に回路を遮断するので、負荷、及び電源と負荷を接続する電線、及び半導体スイッチを過電流から保護することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る過電流検出装置の構成を示す回路図である。

【図 2】本発明に係る過電流検出回路の動作原理を示す回路図である。

【図 3】本発明に係る過電流検出回路の動作原理を示す回路図である。

【図 4】負荷電流が変化したときの、分圧比 a の値の変化を示す特性図である。

【図 5】正規化負荷電流 I N に対する分圧比 a の変化の様子を示す特性図である。

【図 6】正規化負荷電流 I N に対する分圧比 a の微分値の変化の様子を示す特性図である。

【図 7】過渡電流発生時における電圧、電流の変化を示す特性図である。

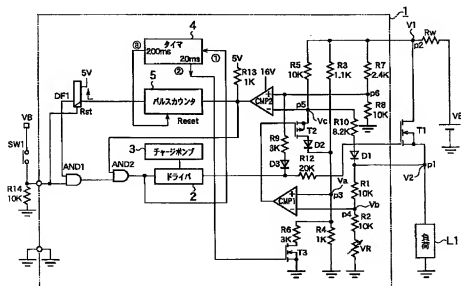
【図 8】デッドショート発生時における電圧、電流の変化を示す特性図である。

【図 9】本発明の第 2 の実施形態に係る過電流検出回路の構成を示す回路図である。

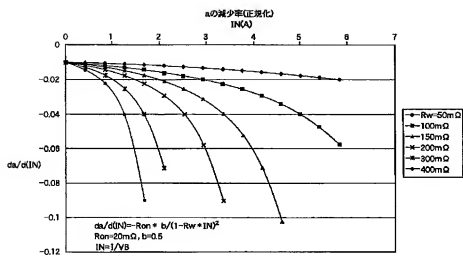
【符号の説明】

- 1, 11 過電流検出装置
- 2 ドライバ
- 3 チャージポンプ
- 4 タイマ
- 5 バスカウンタ
- L1 負荷
- T1 パワートランジスタ
- T2, T3 トランジスタ
- CMP1, CMP2 コンパレータ
- SW1 スwitch

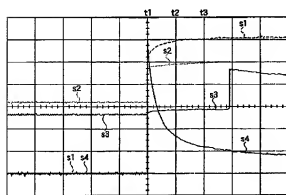
【図 1】



【図 6】

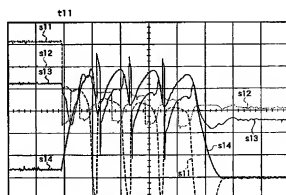


【図 7】



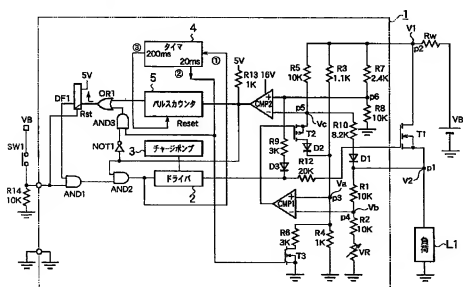
時間 (20.0ms/div)

【図 8】



時間 (50.0μs/div)

【図 9】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード [*] (参考)	
H O 3 K	17/08	H O 3 K	17/08	C
	17/687		17/687	A

F ターム (参考)

2G035	AA15	AB02	AC16	AD03	AD04
	AD11	AD12	AD23	AD25	AD27
	AD29	AD49			
5G004	AA04	AB02	BA03	BA04	DA04
	DC04	DC07	EA01	FA01	
5G053	AA01	AA02	BA01	BA04	CA01
	CA07	DA01	EC03	FA05	
5H740	AA08	BA12	BB01	BB07	BB10
	BC01	BC02	KK01	MM11	
5J055	AX44	AX53	AX64	BX16	CX20
	CX22	DX13	EX07	EX15	EX31
	EY12	EY21	EZ10	EZ34	EZ43
	EZ55	FX05	FX08	FX12	FX32
	FX33	FX38	GX01	GX06	